



①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Patentschrift
⑩ DE 100 14 920 C 1

⑤① Int. Cl.⁷:
H 01 L 21/8242

②① Aktenzeichen: 100 14 920.0-33
②② Anmeldetag: 17. 3. 2000
④③ Offenlegungstag: -
④⑤ Veröffentlichungstag
der Patenterteilung: 26. 7. 2001

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦③ Patentinhaber:
Infineon Technologies AG, 81669 München, DE

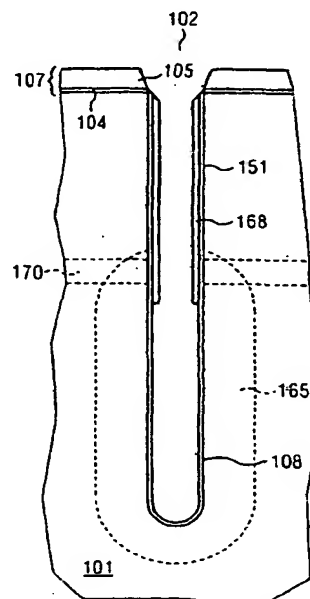
⑦④ Vertreter:
Kindermann, P., Dipl.-Ing.Univ., Pat.-Anw., 85598
Baldham

⑦② Erfinder:
Haupt, Moritz, Dipl.-Phys., 01458 Ottendorf-Okrilla,
DE; Sachse, Jens-Uwe, Dr., 01099 Dresden, DE;
Beckmann, Gustav, Dr., 01471 Radeburg, DE;
Lamprecht, Alexandra, Dipl.-Ing., 01099 Dresden,
DE; Ottenwälder, Dietmar, Dr., 01129 Dresden, DE;
Krasemann, Anke, 01139 Dresden, DE; Schrems,
Martin, Dr., 01465 Langebrück, DE

⑤⑥ Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
US 59 45 704

⑤④ Verfahren zur Herstellung eines Grabenkondensators

⑤⑦ Die Erfindung betrifft ein Verfahren zur Herstellung eines Grabenkondensators, bei dem eine vergrabene Platte (165) mit einer Niederdruck-Gasphasendotierung ausgebildet wird. Auf diese Weise ergibt sich eine erhebliche Prozesskosteneinsparung bei verbesserten Kondensatoreigenschaften.



DE 100 14 920 C 1

DE 100 14 920 C 1

Die vorliegende Erfindung bezieht sich auf ein Verfahren zur Herstellung eines Grabenkondensators und insbesondere auf ein Verfahren zur Herstellung eines Grabenkondensators in einer Halbleiter-Speicherzelle einer integrierten Schaltung.

Integrierte Schaltungen mit einer derartigen Halbleiter-Speicherzelle sind beispielsweise Speicher mit wahlweisem Speicherzugriff (RAM, random access memory), dynamische Speicher (DRAM, dynamic random access memory), synchrone dynamische Speicher (SDRAM, synchronous DRAM), statische Speicher (SRAM, static random access memory), Nur-Lese-Speicher (ROM, read only memory) oder andere Speicher-Schaltungen wie z. B. programmierbare Logikfelder (PLA, programmable logic array), anwenderspezifische integrierte Schaltungen (ASIC, application specific IC) und dergleichen.

Zur Veranschaulichung der vorliegenden Erfindung wird nachfolgend ein herkömmliches Verfahren zur Herstellung eines Grabenkondensators in einer dynamischen Halbleiter-Speicherzelle eines dynamischen Speichers DRAM beschrieben.

Fig. 1 zeigt einen herkömmlichen Grabenkondensator, wie er insbesondere in einer DRAM-Halbleiter-Speicherzelle verwendet wird, und beispielsweise aus der Druckschrift US 5,945,704 bekannt ist. Eine derartige DRAM-Halbleiter-Speicherzelle besteht im wesentlichen aus einem Kondensator 160, der in einem Substrat 101 ausgebildet ist. Das Substrat 101 ist beispielsweise mit p-Dotierstoffen wie z. B. Bor (B) leicht dotiert. Ein Graben wird üblicherweise mit Polysilizium 161 gefüllt, welches mit beispielsweise Arsen (As) oder Phosphor (P) stark n⁺-dotiert ist. Eine mit beispielsweise Arsen (As) dotierte vergrabene Platte 165 befindet sich im Substrat 101 an einem unteren Bereich des Grabens. Üblicherweise wird das Arsen (As) bzw. der Dotierstoff von einer Dotierstoffquelle wie z. B. einem Arsensilicatglas ASG, welches an den Seitenwänden des Grabens ausgebildet wird, in das Siliziumsubstrat 101 diffundiert. Das Polysilizium 161 und die vergrabene Platte 165 dienen hierbei als Elektroden des Kondensators, wobei eine dielektrische Schicht 164 die Elektroden des Kondensators trennt.

Die DRAM-Halbleiter-Speicherzelle gemäß Fig. 1 besitzt darüber hinaus einen Feldeffekttransistor 110. Der Transistor besitzt ein Gate 112 und Diffusionsgebiete 113 und 114. Die Diffusionsgebiete, die durch einen Kanal 117 voneinander beabstandet sind, werden üblicherweise durch Implantation von Dotierstoffen wie z. B. Phosphor (P) ausgebildet. Ein Kontakt-Diffusionsgebiet 125 verbindet hierbei den Kondensator 160 mit dem Transistor 110.

Ein Isolationskragen 168 wird an einem oberen Abschnitt bzw. oberen Bereich des Grabens ausgebildet. Der Isolationskragen 168 verhindert hierbei einen Leckstrom vom Kontakt-Diffusionsgebiet 125 zur vergrabenen Platte 165. Ein derartiger Leckstrom ist insbesondere in Speicherschaltungen unerwünscht, da er die Ladungshaltezeit bzw. Retentionszeit einer Halbleiter-Speicherzelle verringert.

Gemäß Fig. 1 besitzt die herkömmliche Halbleiter-Speicherzelle mit Grabenkondensator ferner eine vergrabene Wanne bzw. Schicht 170, wobei die Spitzenkonzentration der Dotierstoffe in der vergrabenen n-Wanne in etwa am unteren Ende des Isolationskragens 168 liegt. Die vergrabene Wanne bzw. Schicht 170 dient im wesentlichen einer Verbindung der vergrabenen Platten 165 von einer Vielzahl von benachbarten DRAM-Halbleiter-Speicherzellen bzw. Kondensatoren 160 im Halbleiter-Substrat 101.

Eine Aktivierung des Transistors 110 durch Anlegen einer geeigneten Spannung an das Gate 112 ermöglicht im we-

sentlichen einen Zugriff auf den Grabenkondensator, wobei üblicherweise das Gate 112 mit einer Wortleitung 120 und das Diffusionsgebiet 113 mit einer Bitleitung 185 im DRAM-Feld verbunden ist. Die Bitleitung 185 ist hierbei vom Diffusionsgebiet 113 durch eine dielektrische Isolierschicht 189 getrennt und über einen Kontakt 183 elektrisch verbunden.

Ferner wird zur Isolierung einer jeweiligen Halbleiter-Speicherzelle mit dazugehörigem Grabenkondensator von angrenzenden Zellen eine flache Grabenisolation (STI, shallow trench isolation) 180 an der Oberfläche des Halbleiter-Substrats 101 ausgebildet. Gemäß Fig. 1 kann beispielsweise die Wortleitung 120 oberhalb des Grabens und durch die flache Grabenisolation (STI) isoliert ausgebildet werden, wodurch man eine sogenannte gefaltete Bitleitungs-Architektur erhält.

Auf diese Weise erhält man eine Halbleiter-Speicherzelle, die einen minimalen Platzbedarf aufweist und somit für hochintegrierte Schaltungen optimal geeignet ist.

Gemäß der Druckschrift US 5,945,704 werden eine Vielzahl von Verfahren insbesondere zur Ausbildung der vergrabenen Platte 165 verwendet. Neben einer Ionenimplantation von Arsen oder Phosphor, einer Plasmadotierung oder einer Plasmainmersions-Ionenimplantation ist darüber hinaus eine Gasphasendotierung mit AsH₃ oder PH₃ bekannt.

Nachteilig ist jedoch insbesondere bei der herkömmlichen Gasphasendotierung, die üblicherweise bei einem Druck von mehreren 13,3 kPascal durchgeführt wird, dass das Silizium zu fließen beginnt, wodurch sich eine Verformung der Siliziumstrukturen ergibt und darüber hinaus der Isolationskragen keine ausreichende Barriere für die Diffusion gegen die Dotierstoffe darstellt. Andererseits bedeutet die Verwendung einer Ionenimplantation, einer Plasmadotierung, einer Plasmainmersions-Ionenimplantation oder einer Dotierquelle im Graben eine wesentliche Verkomplizierung eines Herstellungsprozesses, wodurch sich sowohl die Herstellungskosten erhöhen als auch die Ausbeute verringert.

Der Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren zur Herstellung eines Grabenkondensators zu schaffen, das auf besonders einfache und kostengünstige Weise eine hohe Ausbeute ermöglicht.

Insbesondere durch das Ausbilden der vergrabenen Platte mit einer Niederdruck-Gasphasendotierung kann eine Durchdiffusion von Dotierstoffen (z. B. Arsen oder Phosphor) durch den Isolationskragen insbesondere im Vergleich zur herkömmlichen Gasphasendotierung zuverlässig verhindert werden, wodurch ein Leckstrom stark verringert bzw. eine Ladungshaltezeit wesentlich verbessert wird. Gleichzeitig erhält man wesentlich höhere Dotierstoffkonzentrationen in dem unteren Bereich des Grabens, wodurch sich aufgrund einer reduzierten Raumladungszone die Kondensatorkapazität wesentlich verbessern lässt. Insbesondere für weitere Technologie-"shrinks" erhält man dadurch einen Grabenkondensator mit ausreichender Kapazität.

Vorzugsweise wird die vergrabene Platte bei einem Druck von 66,6 bis 200 Pascal und einer Temperatur von 750 bis 1050 Grad Celsius mit AsH₃ oder PH₃ in einem Trägergas aus H₂ oder He ausgebildet. Insbesondere gegenüber einem ASG-Abscheideprozess zum Ausbilden der vergrabenen Platte mit nachfolgendem Hochtemperaturschritt zur Ausdiffusion der Dotierstoffe erhält man eine weitere Kosteneinsparung aufgrund der Vereinfachung des Prozesses. Darüber hinaus ist das Gefahrenpotential bei einem derartigen geringen Druck und Temperatur gegenüber einer herkömmlichen Gasphasendotierung wesentlich verringert.

Ferner erfolgt das Ausbilden der dielektrischen Schicht im wesentlichen bei einer gleichen Temperatur und einem

gleichen Druck wie das Ausbilden der vergrabenen Platte. Die dielektrische Schicht kann hierbei durch eine Vornitridierung und eine Hauptnitridierung ausgebildet werden, wobei eine Integration der Schritte zum Nitridieren bzw. Ausbilden der dielektrischen Schicht und zum Ausbilden der vergrabenen Platte innerhalb eines Prozessschrittes möglich ist und ferner die Verwendung einer Anlage bzw. des gleichen Systems zu einer weiteren erheblichen Prozesskosteneinsparung führt. Ferner können auch kommerziell erhältliche Hochtemperaturreaktoren ohne zusätzliche spezielle Modifikation für das Herstellungsverfahren verwendet werden. Darüber hinaus ergibt sich eine wesentliche Prozesskostenreduzierung aus der erheblichen Einsparung von Dotierstoffen wie z. B. AsH_3 oder PH_3 .

In den weiteren Unteransprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigen:

Fig. 1 eine vereinfachte Schnittansicht einer Halbleiter-Speicherzelle mit Grabenkondensator gemäß dem Stand der Technik;

Fig. 2 eine vereinfachte Schnittansicht einer Halbleiter-Speicherzelle mit Grabenkondensator gemäß einem ersten erfindungsgemäßen Ausführungsbeispiel;

Fig. 3 eine vereinfachte Schnittansicht einer Halbleiter-Speicherzelle mit Grabenkondensator gemäß einem zweiten erfindungsgemäßen Ausführungsbeispiel; und

Fig. 4a bis 4g vereinfachte Schnittansichten zur Veranschaulichung von jeweiligen Verfahrensschritten zur Ausbildung eines Grabenkondensators gemäß dem ersten Ausführungsbeispiel.

Fig. 2 und 3 zeigen eine vereinfachte Schnittansicht einer Halbleiter-Speicherzelle mit einem Grabenkondensator gemäß einem ersten und zweiten Ausführungsbeispiel, wobei gleiche Bezugszeichen wie in Fig. 1 gleiche oder ähnliche Elemente bzw. Schichten darstellen und zur Vermeidung von Wiederholungen nachfolgend auf ihre detaillierte Beschreibung verzichtet wird.

Gemäß Fig. 2 besteht ein Grabenkondensator 160 wiederum aus einem tiefen Graben, der in einem Halbleiter-Substrat 101 ausgebildet ist und an seinem oberen Bereich einen Isolationskragen 168 aufweist. In seinem unteren Bereich bzw. Abschnitt besitzt der Graben eine vergrabene Platte 165, die wiederum als erste Kondensatorelektrode wirkt und über eine dielektrische Schicht 164 von einem leitenden Füllmaterial 161, das als zweite Kondensatorplatte wirkt, getrennt ist. Die vergrabene Platte 165 wird hierbei mittels einer Niederdruck-Gasphasendotierung ausgebildet, wodurch man jederzeit eine ausreichende Kantenbedeckung erhält und im gesamten Reaktorvolumen keine Verarmungseffekte auftreten.

In gleicher Weise zeigt die Fig. 3 eine vereinfachte Schnittansicht einer Halbleiter-Speicherzelle mit einem Grabenkondensator gemäß einem zweiten Ausführungsbeispiel, wobei der untere Bereich des Grabens zur Erhöhung einer Kondensatorkapazität erweitert ist. Insbesondere bei der Verwendung einer derartigen Erweiterung des Grabens ermöglicht die erfindungsgemäße Niederdruck-Gasphasendotierung ein besonders einfaches Ausbilden der vergrabenen Platte 165, da die Dotierstoffe immer gleich weit in das Halbleiter-Substrat 101 eindiffundieren. Insbesondere bei einer derartigen Erweiterung des Grabens in seinem unteren Bereich ergeben sich keinerlei Probleme bei der Kantenabdeckung, wobei auch keine Verarmungseffekte im gesamten Reaktorvolumen auftreten. Bei zukünftigen Technologieshrinks und weiter verkleinerten Strukturgrößen ermög-

licht das erfindungsgemäße Verfahren zur Herstellung eines Grabenkondensators somit einen vereinfachten und äußerst kostengünstigen Prozess.

Nachfolgend wird das Verfahren zur Herstellung des Grabenkondensators 160 gemäß Fig. 2 im Einzelnen beschrieben.

Fig. 4A bis 4G zeigen vereinfachte Schnittansichten von jeweiligen Verfahrensschritten zur Herstellung der Halbleiter-Speicherzelle gemäß Fig. 2.

Gemäß Fig. 4A wird zunächst das Halbleiter-Substrat 101 bereitgestellt, in dem die DRAM-Halbleiter-Speicherzelle ausgebildet wird. Die Hauptoberfläche des Substrats 101 ist hierbei nicht kritisch und kann eine beliebige geeignete Orientierung wie z. B. (100), (110) oder (111) aufweisen. Im vorliegenden ersten Ausführungsbeispiel ist das Substrat 101 leicht dotiert mit p-Dotierstoffen, wie z. B. B. Die Konzentration des B beträgt ca. $1 \text{ bis } 2 \times 10^{16} \text{ cm}^{-3}$.

Das Substrat 101 enthält die n-dotierte vergrabene Wanne bzw. Schicht 170. Die vergrabene Wanne 170 weist P oder As als Dotierstoff auf. Beim vorliegenden Ausführungsbeispiel wird eine Maske strukturiert, um die vergrabenen Wannenbereiche zu definieren. n-Dotierstoffe werden dann in die vergrabenen Wannenbereiche des Substrats 101 implantiert. Die vergrabene Wanne 170 dient zur Isolation einer p-Wanne vom Substrat 101 und bildet darüber hinaus eine leitende Brücke zwischen den vergrabenen Platten 165 der Grabenkondensatoren 160. Die Konzentration und Energie der Implantation beträgt ca. $> 1 \times 10^{13} \text{ cm}^{-2}$ bei ca. 1,5 MeV. Alternativ wird die vergrabene Wanne 170 durch Implantieren und darauffolgendes Aufwachsenlassen einer Epitaxie-Siliziumschicht oberhalb der Substratoberfläche gebildet.

Ein Unterbaustapel 107 wird an der Oberfläche des Substrats 101 ausgebildet. Der Unterbaustapel 107 umfasst beispielsweise eine Unterbau-Oxidschicht 104 und eine Unterbau-Stoppschicht 105. Die Unterbau-Stoppschicht 105, welche als Politur oder Ätzstopp für nachfolgende Prozesse wirkt, weist vorzugsweise Nitrid auf. Oberhalb der Unterbau-Stoppschicht 105 ist beispielsweise eine nicht dargestellte Hartmaskenschicht vorgesehen. Diese Hartmaskenschicht umfasst z. B. TEOS. Andere Materialien, wie z. B. BSG sind ebenfalls als Hartmaskenschicht verwendbar, wobei zusätzlich eine nicht dargestellte Antireflexionsbeschichtung (ARC) verwendet werden kann, um die lithographische Auflösung zu verbessern.

Die Hartmaskenschicht wird unter Verwendung üblicher photolithographischer Techniken strukturiert, um den Bereich 102 zu definieren, in dem ein Graben 108 zu bilden ist. Diese Schritte enthalten die Abscheidung einer Fotolackschicht und das selektive Belichten derselben mit dem erwünschten Muster. Anschließend wird der Fotolack entwickelt und entweder die belichteten oder die unbelichteten Bereiche entfernt (Positiv- oder Negativlack). Die belichteten Bereiche des Unterbaustapels 107 werden dann bis zur Oberfläche des Substrats 101 geätzt, wobei vorzugsweise ein reaktives Ionenätzen (RIE) den tiefen Graben 108 ausbildet.

Eine Polysilizium-Halbleiterschicht 152 wird dann über dem Wafer abgeschieden, um den Graben 108 zu füllen. Amorphes Silizium ist wie weitere Materialtypen, welche eine Temperaturstabilität bis zu ca. 1100 Grad Celsius aufweisen und selektiv gegenüber Nitrid oder Oxid entfernbar sind, ebenfalls verwendbar. Das Polysilizium 152 wird als Opferschicht bezeichnet, da es später entfernt wird. Üblicherweise wird vorher eine Barrierenschicht 151 als natürliches Oxid gebildet, welches die Grabenseitenwände auskleidet, bevor der Graben 108 mit dem Polysilizium 152 gefüllt wird. Die als Ätzstoppschicht dienende Oxidschicht bzw. Barrierenschicht 151 ist vorzugsweise 5 bis 50 nm dick

und kann durch Abscheidung oder thermisch ausgebildet werden.

Gemäß Fig. 4B wird das Polysilizium 152 in einem nachfolgenden Verfahrensschritt bis zu einem unteren Bereich des Grabens 108 entfernt. Das Entfernen des Polysiliziums 152 beinhaltet beispielsweise das Planarisieren mittels chemisch-mechanischen Polierens (CMP), ein chemisches Trockenätzen (CDE) oder ein reaktives Ionenätzen (RIE) zum Bilden einer koplanaren Oberfläche mit der Oberseite des Polysiliziums in dem Graben 108 und an der Oberseite des Unterbaustapels 107. Ein reaktives Ionenätzen wird dann durchgeführt, um das Polysilizium 152 in dem Graben 108 einzusenken. Die Verwendung einer chemischen Trockenätzung zum Absenken des Polysiliziums 152 im Graben 108 ist ebenfalls möglich. Vorzugsweise wird jedoch das Polysilizium 152 planarisiert und durch chemisches Trockenätzen (CDE) oder reaktives Ionenätzen (RIE) in einem einzelnen Schritt eingesenkt. Die Einsenkung beträgt typischerweise ca. 0,5 bis 2 µm von der Substratoberfläche. Wenn als Oxidschicht bzw. Barrierenschicht 151 ein thermisches Oxid (SiO_2) und/oder ein abgeschiedenes Oxid verwendet wird, so kann die Barrierenschicht im oberen Bereich des Grabens 108 erhalten bleiben.

Anschließend wird eine dielektrische Schicht über den gesamten Wafer abgeschieden, welche den Unterbaustapel 107 und die Grabenseitenwände bedeckt. Die dielektrische Schicht wird hierbei zur Bildung des Isolationskragens 168 verwendet. Die dielektrische Schicht besteht beispielsweise aus einem Oxid. Im vorliegenden Ausführungsbeispiel wird die dielektrische Schicht durch Aufwachsen einer Schicht aus thermischem Oxid und darauffolgendes Abscheiden einer Oxidschicht durch chemische Dampfphasenabscheidung (CVD), wie z. B. plasmaunterstützte CVD (PECVD) oder Niederdruck-CVD (LPCVD), unter Verwendung von TEOS gebildet. Das CVD-Oxid kann durch einen Temperaturschritt verdichtet werden. Die Oxidschicht ist hinreichend dick, um einen vertikalen Leckstrom zu vermeiden, nämlich 10 bis 50 nm. Alternativ kann die dielektrische Schicht jedoch auch eine Schicht aus thermischem Oxid aufweisen.

Alternativ kann jedoch die dielektrische Schicht auch aus CVD-Oxid gebildet werden. Nach der Bildung des CVD-Oxids kann ein Temperaturschritt zur Verdichtung des Oxids durchgeführt werden. Der Temperaturschritt wird beispielsweise in Ar , N_2 , O_2 , H_2O , N_2O , NO oder NH_3 -Atmosphäre durchgeführt. Eine oxidierende Atmosphäre, wie z. B. O_2 oder H_2O kann zur Bildung einer thermischen Oxidschicht unter der CVD-Oxid verwendet werden. Sauerstoff aus der Atmosphäre diffundiert dann durch das CVD-Oxid zum Bilden einer thermischen Oxidschicht auf der Substratoberfläche. Dies ermöglicht vorteilhafterweise die Bildung eines thermischen Oxids, falls erwünscht, ohne das Bedürfnis eines thermischen Oxidationsschritts vor der Abscheidung des CVD-Oxids. Typischerweise wird der Temperaturschritt bei einer Temperatur von etwa 1000 bis 1100 Grad Celsius und etwa 0,5 bis 3 Stunden lang durchgeführt.

Anschließend wird gemäß Fig. 4B die dielektrische Schicht beispielsweise durch reaktives Ionenätzen geätzt, um den Isolationskragen 168 zu bilden. Die chemischen Mittel für das reaktive Ionenätzen werden derart gewählt, dass das Oxid selektiv gegenüber dem Polysilizium 152 und dem Nitrid geätzt wird. Das reaktive Ionenätzen entfernt die dielektrische Schicht von der Oberfläche des Unterbaustapels 107 und dem Boden der Öffnung. Die dielektrische Schicht bleibt auf der Siliziumseitenwand, wodurch der Isolationskragen 168 gebildet wird. Wie in Fig. 4B abgebildet, ist der obere Bereich des Isolationskragens 168 leicht erodiert und bildet einen abgeschrägten oberen Abschnitt.

Gemäß Fig. 4C wird die Polysilizium-Opferschicht 152

anschließend auch im unteren Bereich des Grabens 108 entfernt. Das Entfernen der Polysilizium-Opferschicht 152 wird vorzugsweise durch CDE erreicht. Die (in Fig. 4C nicht dargestellte) dünne natürliche Oxidschicht 151 liegt dann typischerweise auf den freigelegten Grabenseitenwänden vor. Diese dünne natürliche Oxidschicht 151 kann ausreichen, um als CDE Ätzstopp zu dienen. Ein CDE-Ätzschritt, beispielsweise unter Verwendung von $\text{NF}_3 + \text{Cl}_2$ als Chemikalien kann Silizium oder Polysilizium mit relativer hoher Selektivität gegenüber dem Oxid ätzen, was eine Entfernung des Polysiliziums unter Verwendung der dünnen natürlichen Oxidschicht 151 als Ätzstopp ermöglicht. Beispielsweise wurde eine Selektivität von etwa 4000 : 1 für das Entfernen des Polysiliziums vom dem Graben 108 unter Verwendung des natürlichen Oxids 151 als Ätzstoppschicht ermittelt.

Alternativ kann ein CDE-Schritt mit hohem Cl_2 -Gehalt verwendet werden, um die Selektivität der Silizium- bzw. Polysiliziumätzung gegenüber dem Oxid zu erhöhen. Eine Strömungsrate von etwa 12 sccm resultiert dann in einer effektiven Oxidätzrate von Null, während die Polysiliziumätzrate in der Größenordnung von etwa 2 µm/min liegt. Dies ermöglicht, dass die natürliche Oxidschicht 151 als effizienter Ätzstopp für die Entfernung der Opfer-Polysiliziumschicht dient. Typischerweise beträgt die Dicke des natürlichen Oxids 151 etwa 0,5 bis 1 nm.

Ferner kann eine Nassätzung, beispielsweise unter Verwendung von KOH oder $\text{HF} : \text{HNO}_3 : \text{CH}_3\text{COOH}$ ebenfalls beim Entfernen des Polysiliziums verwendet werden. Die Verwendung von KOH kann jedoch zu einer K-Kontamination auf der Grabenseitenwand führen, was einen zusätzlichen Reinigungsschritt erfordern kann. Eine reaktive Ionenätzung ist ebenfalls möglich beim Entfernen des Polysiliziums, da sie anisotrop wirkt. Geeignete Chemikalien für die reaktive Ionenätzung zur Beseitigung des Polysiliziums enthalten $\text{SF}_6/\text{NF}_3/\text{HBr}$. Andere geeignete Chemikalien, welche Polysilizium selektiv gegenüber Oxid oder Nitrid ätzen, sind beispielsweise NF_3/HBr oder CF_4/O_2 oder $\text{CF}_4/\text{O}_2/\text{Cl}_2$.

Die Selektivität der reaktiven Ionenätzung hinsichtlich Polysilizium gegenüber Oxid oder Nitrid beträgt etwa weniger als 100 : 1 auf planaren Oberflächen, steigt jedoch auf mehr als etwa 2000 : 1 auf vertikalen Oberflächen, und zwar aufgrund der vorzugsweise vertikalen Richtung der Bewegungen der Ionen während der reaktiven Ionenätzung. Aufgrund der hohen Selektivität des Polysiliziums gegenüber Oxid oder Nitrid auf den vertikalen Oberflächen wird nur der obere Bereich des Isolationskragens 168 erodiert. Jedoch ist dies kein Problem, da der Isolationskragen 168 nicht unterhalb der Oberfläche des Substrats 101 erodiert wird.

Nach Entfernen des Polysiliziums 152 wird nunmehr die vergrabene Platte 165 mit vorzugsweise n-Dotierstoffen wie z. B. As oder P als zweite Kondensatorelektrode ausgebildet. Im Gegensatz zu den herkömmlichen Dotierverfahren wird gemäß der vorliegenden Erfindung nunmehr eine Niederdruck-Gasphasendotierung verwendet, wobei bei einem Druck von ca. 66,6 bis 200 Pascal und einer Temperatur von ca. 750 bis 1050 Grad Celsius unter Verwendung von PH_3 oder AsH_3 als Dotiergas und H_2 oder He als Trägergas die vergrabene Platte 165 selbstjustierend zum Isolationskragen 168 und unmittelbar abhängig von der Form des unteren Bereichs des Grabens 108 ausgebildet wird.

Vorzugsweise wird in derselben Anlage bzw. einem kommerziell erhältlichen Hochtemperaturreaktor ohne spezielle Modifikation nach einer Reinigung mittels einem H_2 -"prebake" bei ca. 950 Grad Celsius und einem Druck von ca. 133 Pascal für ungefähr 30 Minuten durchgeführt. In gleicher Weise kann jedoch auch eine UHV-Vakuumaussheilung

zum Reinigen bzw. Glätten einer Oberfläche durchgeführt werden. Die eigentliche Niederdruck-Gasphasendotierung wird nunmehr vorzugsweise in der gleichen Anlage bei einem Druck von 66,6 bis 200 Pascal und einer Temperatur von 750 bis 1050 Grad Celsius durchgeführt, wobei AsH_3 oder PH_3 in einem Trägergas aus H_2 oder He verwendet wird.

Im Gegensatz zur herkömmlichen Gasphasendotierung entsteht bei der erfindungsgemäßen Niederdruck-Gasphasendotierung keinerlei Verformung bzw. kein Verfließen der Siliziumstrukturen, weshalb insbesondere für zukünftige Technologie-"shrinks" ausreichend kleine Strukturen verwendet werden können. Ferner hat sich entgegen der bisherigen Meinung der Fachwelt überraschenderweise herausgestellt, dass die erfindungsgemäße Niederdruck-Gasphasendotierung problemlos die für die vergrabene Platte 165 notwendigen Dotierstoffkonzentrationen ermöglicht. Ferner hat sich herausgestellt, dass der Isolationskragen 168 bei der erfindungsgemäßen Niederdruck-Gasphasendotierung als brauchbare Diffusionsbarriere wirkt und die vergrabene Platte 165 somit nur im eigentlich erwünschten unteren Bereich des Grabens 108 ausgebildet wird. Insbesondere bei Verwendung von Arsen erhält man eine derart hohe Arsenkonzentration im unteren Bereich des Grabens 108, dass sich die Kapazität des Grabenkondensators aufgrund einer reduzierten Raumladungszone weiter verringert und somit zusätzliche Shrinks ermöglicht sind.

Gemäß Fig. 4D wird anschließend eine Speicherdielektrikumsschicht 164 auf dem Wafer abgeschieden, welche die Oberfläche des Unterbaustapels 107 und das Innere des Grabens 108 bedeckt. Die Speicherdielektrikumsschicht 164 dient hierbei als Speicherdielektrikum zum Trennen der Kondensatorplatten bzw. der vergrabenen Platte 165 von einer nachfolgend im Graben 108 eingefügten Füllschicht 161. In einem bevorzugten Ausführungsbeispiel der vorliegenden Erfindung wird im gleichen Niederdruck-Vertikalofen (LPCVD) zunächst eine Vornitridierung bei ca. 950 Grad Celsius und einem Druck von ca. 800 Pascal durchgeführt. Anschließend kann wiederum unter Verwendung der gleichen Anlage vorzugsweise eine Hauptnitridierung durchgeführt werden, wobei unter Verwendung von Dichlorsilan (SiCl_2H_2) oder SiH_4 und NH_3 bei einer Temperatur von ca. 700 bis 800 Grad Celsius und einem Druck von 26,6 bis 46,6 Pascal eine ca. 3 bis 6 nm dicke Siliziumnitrid (Si_3N_4)-Schicht im Graben 108 ausgebildet wird. Alternativ kann für die Speicherdielektrikumsschicht 164 auch ein anderes Speicherdielektrikum verwendet werden, wie z. B. Materialien mit hoher Dielektrizitätskonstante (z. B. TiO_2 , WO_x , ...), wobei auch eine Kombination mit geeigneten Metallelektroden möglich ist (SIS, semiconductor-insulator-semiconductor; MIS, metal-insulator-semiconductor; MIM, metal-insulator-metal).

Aufgrund der integrierten Ausbildung der dielektrischen Schicht 164 und der vergrabenen Platte 165 in ein und derselben Anlage erhält man eine weitere erhebliche Prozesskosteneinsparung. Ferner ergibt sich eine wesentliche Prozesskostenreduzierung insbesondere gegenüber einer herkömmlichen Gasphasendotierung aufgrund der erheblichen Einsparung von AsH_3 bzw. PH_3 . Eine weitere Kosteneinsparung bzw. Vereinfachung des Prozesses ergibt sich insbesondere durch die Einsparung des Hochtemperaturschrittes, wie er beispielsweise zur Ausdiffusion von Dotierstoffen bei einer ASG-Abscheidung notwendig ist.

Alternativ zur vorstehend beschriebenen Nitridierung mittels Vornitridierung und Hauptnitridierung in der gleichen Anlage bzw. im gleichen Niederdruck-Vertikalofen kann die dielektrische Schicht 164 auch auf jede weitere Art und Weise ausgebildet werden. Insbesondere ist hierbei die

Ausbildung von dielektrischen Schichten mit hoher relativer Dielektrizitätskonstante (z. B. Ta_2O_5 , TiC_2 , WO_x , Al_2O_3 , ...) von Bedeutung, da sich dadurch eine weitere Kapazitätssteigerung im Grabenkondensator ergibt.

Anschließend wird gemäß Fig. 4D die weitere Polysiliziumsschicht 161 auf der Oberfläche des Wafers zum Füllen des Grabens 108 und zum Bedecken des Unterbaustapels 107 abgeschieden, wobei vorzugsweise ein CVD-Verfahren verwendet wird. Anstelle der leitenden Polysiliziumsschicht 161 kann jedoch auch jede weitere elektrisch leitende Schicht konform abgeschieden werden, wodurch der Graben 108 aufgefüllt wird. Das dotierte Polysilizium 161 dient hierbei als zweite Kondensatorelektrode und kann alternativ auch aus amorphem Silizium bestehen, welches beispielsweise insitu oder sequentiell dotiert wird.

Gemäß Fig. 4E wird die leitende Polysiliziumsschicht 161 beispielsweise durch einen CDE-Schritt oder durch einen RIE-Schritt nachfolgend unter Verwendung von geeigneten Chemikalien wie z. B. NF_3/Et_3 oder NF_3/HBr oder SF_6 abgesenkt. Dies schützt in vorteilhafter Weise das Unterbau-Oxid 105 während der nachfolgenden Nassätzprozesse. Die Polysiliziumsschicht 161 kann jedoch auch bis zur Tiefe der vergrabenen Platte 165 eingesenkt werden, falls eine Unterätzung kein Problem darstellt.

Gemäß Fig. 4F wird die restliche dielektrische Schicht 164 oberhalb der Polysiliziumsschicht 161 mit einer Nassätzung entfernt, wobei vorzugsweise DHF und HF/Glyzerol verwendet wird. Alternativ ist hierzu auch die Durchführung eines CDE-Schrittes möglich.

Gemäß Fig. 4G wird in einem nachfolgenden Verfahrensschritt eine vergrabene Brücke 162 gebildet. Die Bildung der vergrabenen Brücke 162 wird beispielsweise durch eine Ätzung zum Einsenken des dotierten Polysiliziums 161 in den Graben 108 erreicht. Üblicherweise wird hierzu eine reaktive Ionenätzung verwendet. Der nicht aktive Bereich der Zelle wird dann durch eine übliche photolithographische Technik definiert und anschließend anisotrop geätzt, wobei vorzugsweise reaktives Ionenätzen verwendet wird. Der nicht aktive Bereich ist hierbei der Bereich, in dem nachfolgend der STI-Graben 180 ausgebildet wird.

Auf diese Weise erhält man ein Verfahren zur Herstellung eines Grabenkondensators, welches auf besonders einfache und kostengünstige Art und Weise insbesondere die Ausbildung einer vergrabenen Platte ermöglicht. Probleme mit einer Kantenabdeckung, wie sie beispielsweise bei einer ASG-Abscheidung auftreten können, sind hierbei grundsätzlich ausgeschlossen.

Gemäß Fig. 3 kann eine Breite bzw. ein Durchmesser des unteren Bereichs des Grabens 108 auch größer als die Breite bzw. der Durchmesser eines oberen Bereichs des Grabens sein. Eine derartige Erhöhung der Breite verbessert die Kapazität des Grabenkondensators. Zum Erzielen einer derartigen Struktur wird beispielsweise die in Fig. 4B beschriebene Polysilizium-Opferschicht 152 durch CDE beseitigt, wobei vorzugsweise NF_3/Cl_2 verwendet wird. Weitere Chemikalien zum selektiven Ätzen von Silizium sind ebenfalls verwendbar. Zusätzlich ist eine reaktive Ionenätzung unter Verwendung von SF_6 , NF_3/HBr oder eine Nassätzung unter Verwendung von KOH anwendbar. Der untere Teil des Grabens 108 wird hierbei beispielsweise durch eine CDE-Ätzung aufgeweitet. Das Ätzmittel für die CDE-Ätzung ist derart ausgewählt, dass es ebenfalls den (in Fig. 4B nicht dargestellten) dünnen natürlichen Oxidfilm 151 auf den Grabenseitenwänden entfernt. Dies kann durch Reduzieren der Strömungsrate von Cl_2 erzielt werden, um die Selektivität der Ätzung gegenüber dem Oxid zu erniedrigen, oder durch Änderung der Chemikalien.

Die Nassätzung oder die CDE ist hierbei derart gesteuert,

dass sie das Opfer-Polysilizium bzw. die Opferschicht 152 vollständig entfernt und die Aufweitung derart begrenzt, dass sie sich nicht in benachbarte Gräben erstreckt oder diese kontaktiert. Die Aufweitung des unteren Bereichs des Grabens 108 beträgt ca. 50% des minimalen Abstands zwischen benachbarten Gräben, und vorzugsweise weniger als 20 bis 30% des minimalen Abstands zwischen benachbarten Gräben. Da der Abstand zwischen benachbarten Gräben typischerweise zur minimalen Dimension gehört, sollte die Aufweitung auf weniger als 50% der minimalen Dimension bzw. Strukturbreite begrenzt sein. Dies liefert beispielsweise einen Graben mit Flaschengestalt, dessen unterer Durchmesser weniger als die doppelte minimale Strukturbreite beträgt. Vorzugsweise beträgt die Aufweitung des Grabens etwa 20 bis 40% der minimalen Dimension bzw. Strukturbreite.

Nach Entfernen des Opfer-Polysiliziums 152 und der Ätzstoppschicht 151 wird die vergrabene Platte 165 wiederum aus der vorstehend beschriebenen Niederdruck-Gasphasendotierung ausgebildet. Auf eine wiederholte Beschreibung wird daher nachfolgend verzichtet.

Auf diese Weise erhält man eine Erweiterung des Grabens 108 in seinem unteren Bereich, wodurch man einen Grabenkondensator mit erhöhter Kapazität bei verringerten Herstellungskosten erhält.

Die Isolationskrägen 168 wirken bei Verwendung der erfindungsgemäßen Niederdruck-Gasphasendotierung als hervorragende Diffusionsbarrieren wirken. Eine Ausdiffusion von Dotierstoffen zum Ausbilden der vergrabenen Platte 165 erfolgt demzufolge nur in unteren Bereichen des Grabens.

Die vorliegende Erfindung wurde insbesondere anhand einer DRAM-Halbleiter-Speicherzelle beschrieben. Sie ist jedoch nicht darauf beschränkt und umfasst vielmehr alle weiteren integrierten Schaltungen, in denen ein Grabenkondensator mit erhöhter Kapazität, verbesserten Ladungseigenschaften und mit verringerten Herstellungskosten auszubilden ist.

Patentansprüche

1. Verfahren zur Herstellung eines Grabenkondensators mit den Schritten:

- a) Ausbilden eines Grabens (108) in einem Substrat (101);
- b) Füllen eines unteren Bereichs des Grabens (108) mit einem ersten Füllmaterial (152);
- c) Ausbilden eines Isolationskragens (168) in einem oberen Bereich des Grabens (108);
- d) Entfernen des ersten Füllmaterials (152) aus dem unteren Bereich des Grabens (108);
- e) Ausbilden einer vergrabenen Platte (165) im Substrat (101) in der Umgebung des unteren Bereichs des Grabens (108) als erste Kondensatorplatte;
- f) Ausbilden einer dielektrischen Schicht (164) zur Verkleidung des unteren Bereichs des Grabens (108) und der Innenseite des Isolationskragens (168) als Kondensatordielektrikum; und
- g) Füllen des Grabens (108) mit einem leitenden zweiten Füllmaterial (161) als zweite Kondensatorplatte,

dadurch gekennzeichnet, dass das Ausbilden der vergrabenen Platte (165) in Schritt e) mit einer Niederdruck-Gasphasendotierung erfolgt.

2. Verfahren nach Patentanspruch 1, dadurch gekennzeichnet, dass das Ausbilden der vergrabenen Platte (165) in Schritt e) bei einem Druck von 66,6 bis 200

Pascal erfolgt.

3. Verfahren nach Patentanspruch 1 oder 2, dadurch gekennzeichnet, dass das Ausbilden der vergrabenen Platte (165) in Schritt e) in einem Temperaturbereich von 750 bis 1050 Grad Celsius erfolgt.

4. Verfahren nach einem der Patentansprüche 1 bis 3, dadurch gekennzeichnet, dass das Ausbilden der vergrabenen Platte (165) in Schritt e) unter Verwendung von AsH_3 oder PH_3 als Dotiergas und H_2 oder He als Trägergas erfolgt.

5. Verfahren nach einem der Patentansprüche 1 bis 4, dadurch gekennzeichnet, dass das Ausbilden der dielektrischen Schicht (164) gemäß Schritt f) im wesentlichen bei einem gleichen Druck und einer gleichen Temperatur wie das Ausbilden der vergrabenen Platte (165) in Schritt e) erfolgt.

6. Verfahren nach einem der Patentansprüche 1 bis 5, dadurch gekennzeichnet, dass das Ausbilden der dielektrischen Schicht (164)

f1) eine Vornitridierung und

f2) eine Hauptnitridierung aufweist.

7. Verfahren nach Patentanspruch 6, dadurch gekennzeichnet, dass die Vornitridierung gemäß Schritt f1) bei einer Temperatur von ca. 950 Grad Celsius und einem Druck von ca. 800 Pascal aus NH_3 erfolgt.

8. Verfahren nach Patentanspruch 6 oder 7, dadurch gekennzeichnet, dass die Hauptnitridierung bei einer Temperatur von ca. 700 bis 800 Grad Celsius und einem Druck von 26,6 bis 46,6 Pascal aus $SiCl_2H_2$ oder SiH_4 und NH_3 erfolgt.

9. Verfahren nach einem der Patentansprüche 1 bis 8, dadurch gekennzeichnet, dass das Bilden der vergrabenen Platte (165) selbstjustierend zum Isolationskragen (168) erfolgt.

10. Verfahren nach einem der Patentansprüche 1 bis 9, gekennzeichnet durch den Schritt des Ausbildens einer Brücke (162) oberhalb des Isolationskragens (168) auf dem leitenden zweiten Füllmaterial (161) aus einem dritten leitenden Füllmaterial zum Bilden eines vergrabenen Kontakts mit dem Substrat (101).

11. Verfahren nach einem der Patentansprüche 1 bis 10, gekennzeichnet durch den Schritt des Ausbildens einer Ätzstoppschicht (151) auf den Grabenwänden unter dem ersten Füllmaterial (152).

12. Verfahren nach einem der Patentansprüche 1 bis 11, gekennzeichnet durch den Schritt des Erweiterns des unteren Bereichs des Grabens (108) gegenüber dem oberen Bereich des Grabens (108) zum Bilden einer Flaschenform.

Hierzu 7 Seite(n) Zeichnungen

- Leerseite -

FIG 1

Stand der Technik

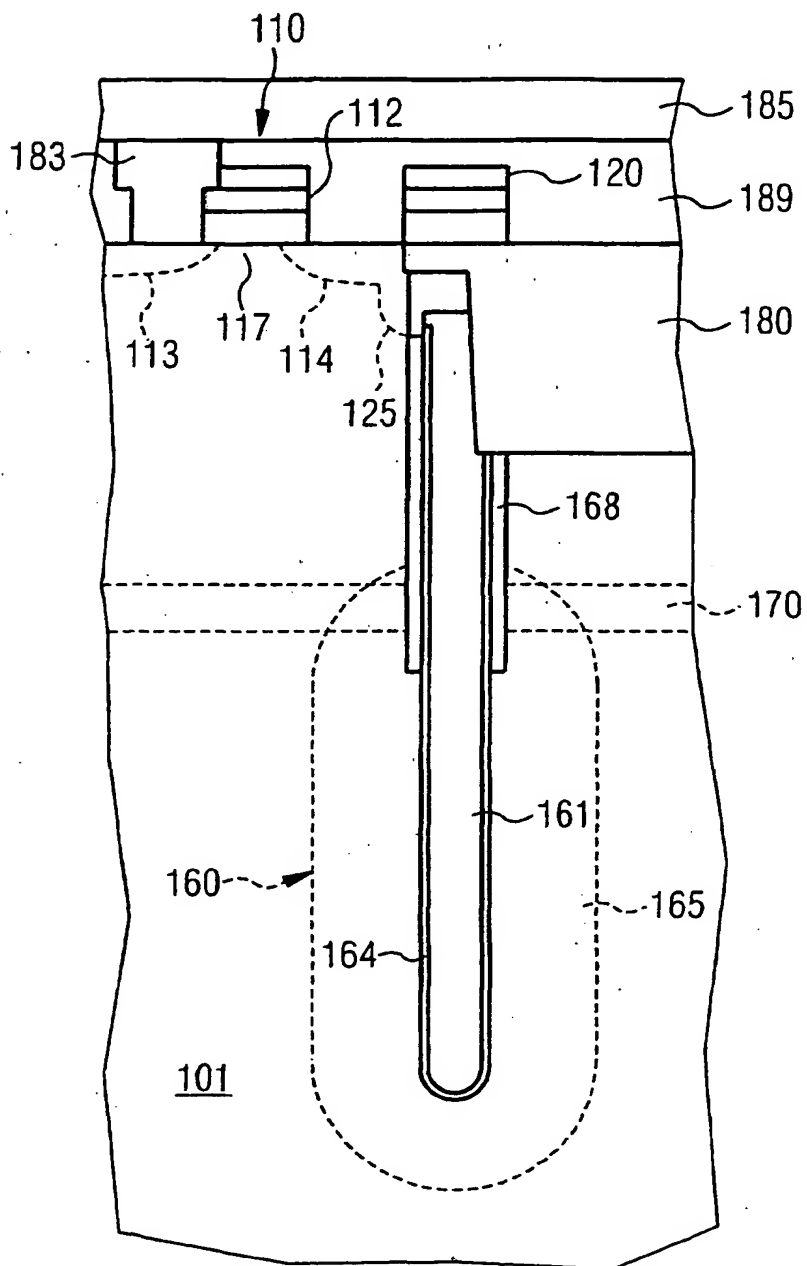


FIG 2

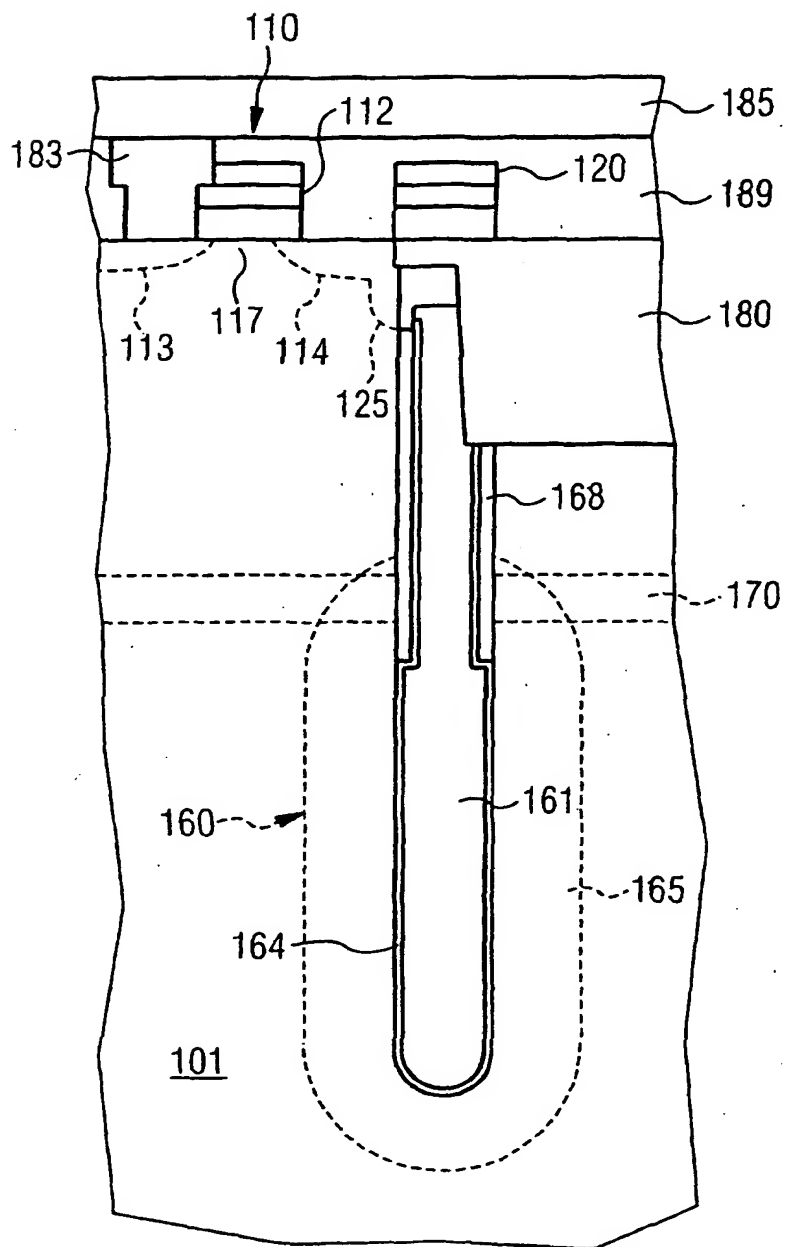


FIG 3

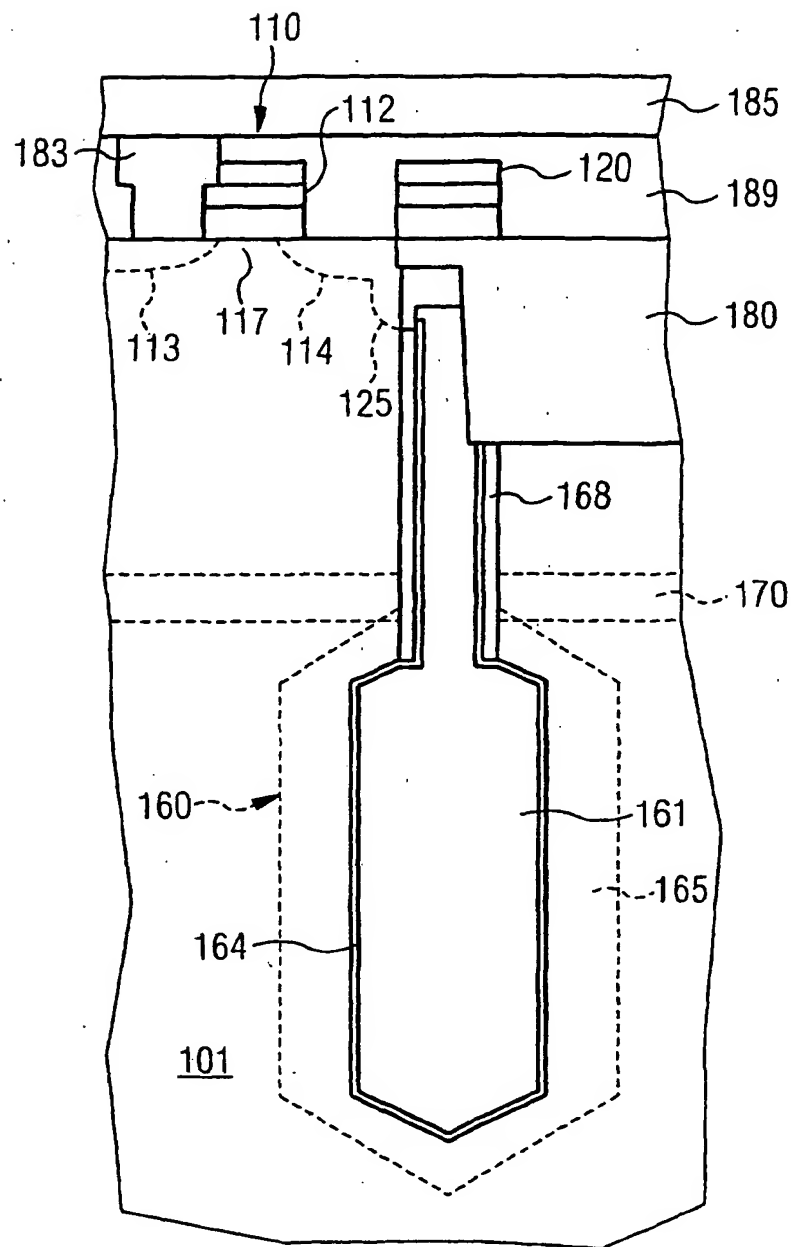


FIG 4A

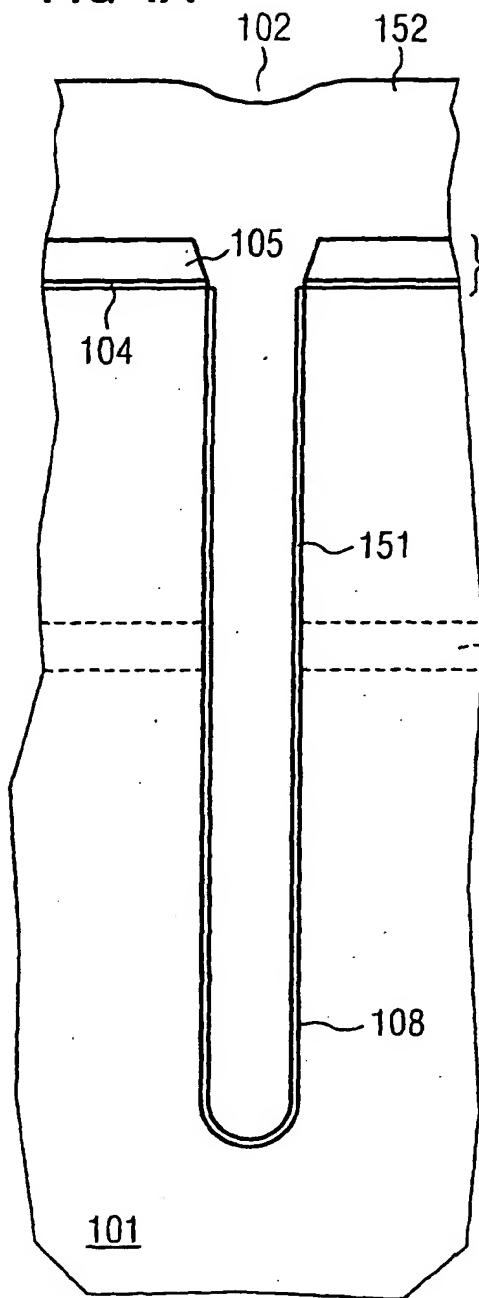


FIG 4B

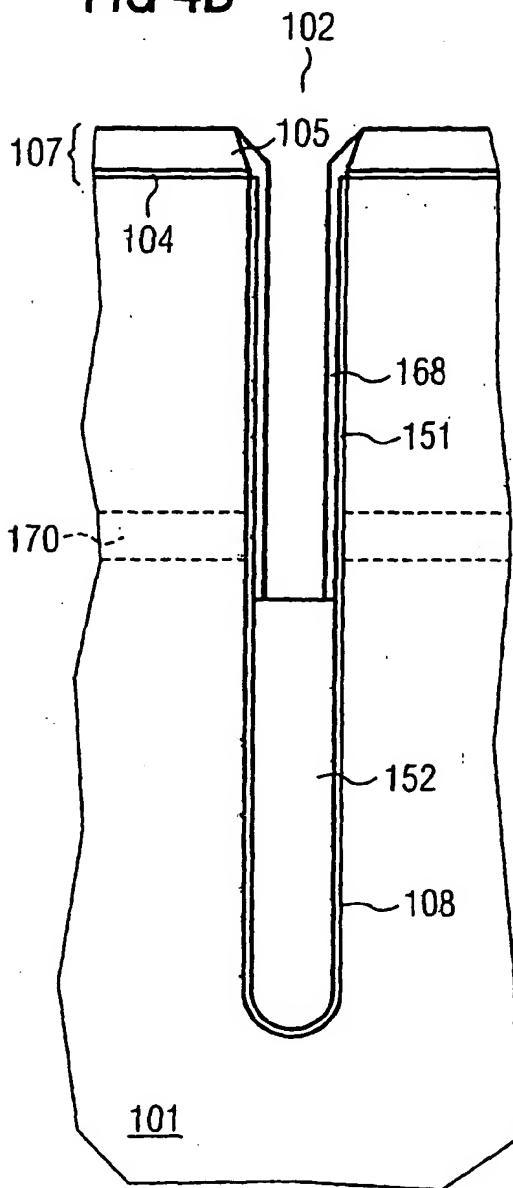


FIG 4C

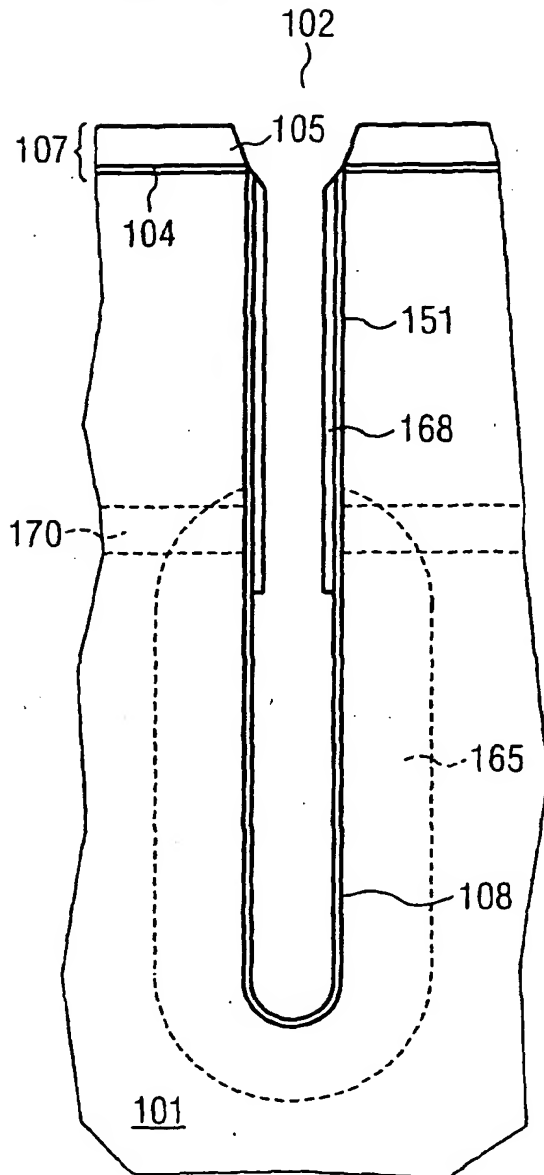


FIG 4D

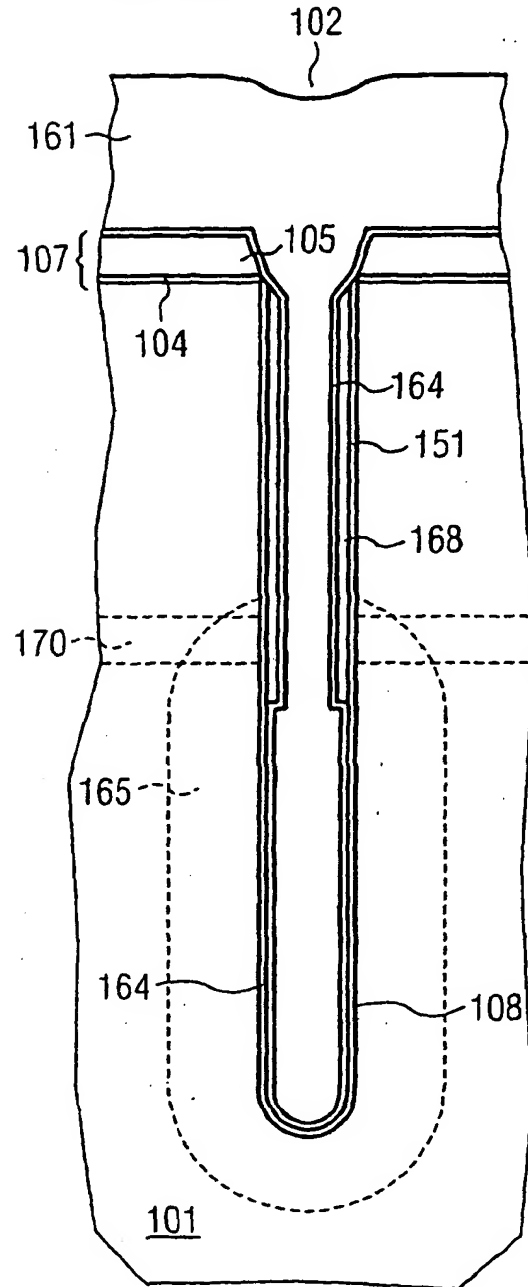


FIG 4E

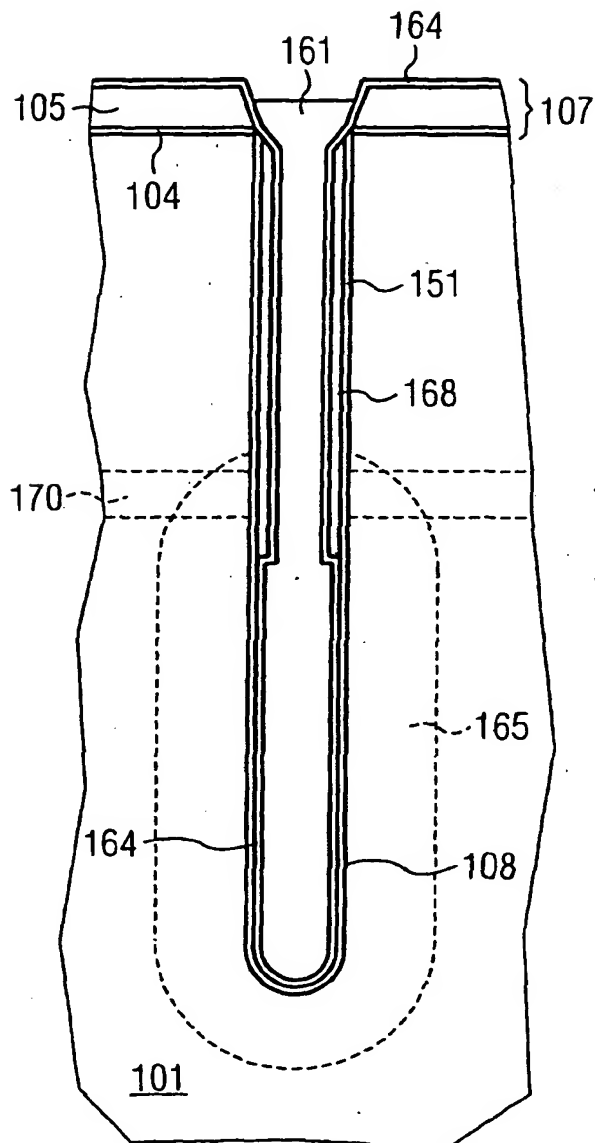


FIG 4F

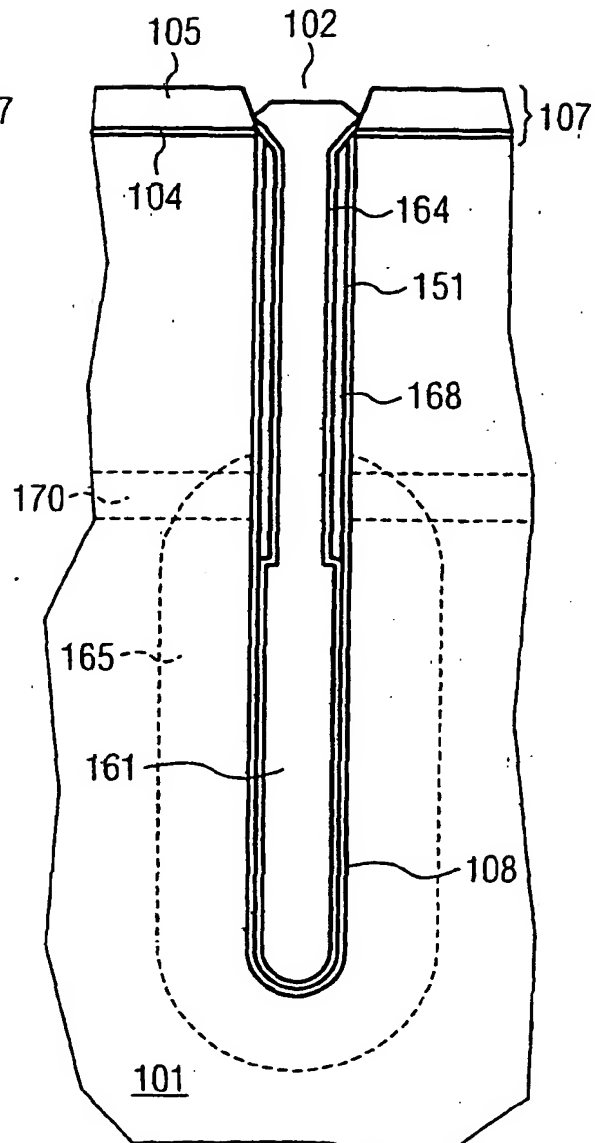


FIG 4G

